

**Family list**

4 family members for:

**JP2001085700**

Derived from 3 applications.

- 1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD**  
Publication info: **JP3538084B2 B2** - 2004-06-14  
**JP2001085700 A** - 2001-03-30
- 2 Thin film transistors having tapered gate electrode and taped insulating film**  
Publication info: **US6515336 B1** - 2003-02-04
- 3 Semiconductor device and method of fabricating the same**  
Publication info: **US2003116805 A1** - 2003-06-26

---

Data supplied from the **esp@cenet** database - Worldwide

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD**

**Patent number:** JP2001085700  
**Publication date:** 2001-03-30  
**Inventor:** YAMAGATA HIROKAZU; ONO KOJI; ONUMA HIDETO;  
SUZAWA HIDEOMI; YAMAZAKI SHUNPEI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- international: H01L29/786; H01L21/336; G02F1/1345; G09F9/30  
- european:  
**Application number:** JP19990264101 19990917  
**Priority number(s):** JP19990264101 19990917

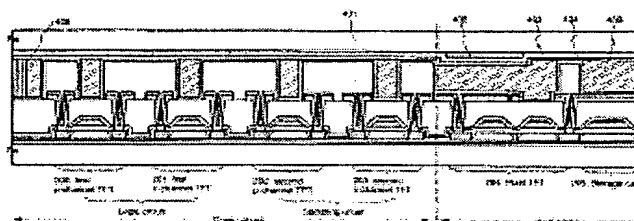
Also published as:

 US6515336 (B)

Abstract not available for JP2001085700

Abstract of corresponding document: **US6515336**

TFTs arranged in various circuits have structures that are suited for circuit functions, in order to improve operation characteristics and reliability of the semiconductor device, to lower consumption of electric power, to decrease the number of steps, to lower the cost of production and to improve the yield. The gradient of concentration of impurity element for controlling the conduction type in the LDD regions 622 and 623 of the TFT is such that the concentration increases toward the drain region. For this purpose, a tapered gate electrode 607 and a tapered gate-insulating film 605 are formed, and the ionized impurity element for controlling the conduction type is added to the semiconductor layer through the gate-insulating film 605

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85700

(P 2 0 0 1 - 8 5 7 0 0 A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 29/786		H01L 29/78 616 A	2H092
21/336		G02F 1/1345	5C094
G02F 1/1345		G09F 9/30 338	5F110
1/1365		G02F 1/136 500	
G09F 9/30 338		H01L 29/78 617 S	
審査請求 未請求 請求項の数15 ○ L (全25頁) 最終頁に続く			

(21) 出願番号 特願平11-264101

(22) 出願日 平成11年9月17日 (1999.9.17)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 小野 幸治

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 大沼 英人

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

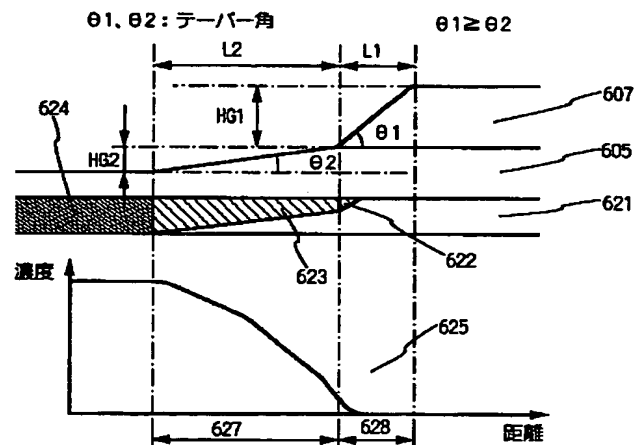
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 各種回路に配置されるTFTの構造を、回路の機能に応じて適切なものとすることにより、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ると共に、工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的とする。

【解決手段】 TFTのLDD領域622、623をドレイン領域に近づくにつれて徐々に導電型制御用の不純物元素の濃度が高くなるような濃度勾配を持たせる。このような不純物元素の濃度勾配を有するLDD領域を形成するために、本発明ではテーパ部を有するゲート電極607とテーパ部を有するゲート絶縁膜605とを設け、イオン化した導電型制御用の不純物元素を、ゲート絶縁膜605を通過させて半導体層に添加する方法を用いる。



## 【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に形成された半導体薄膜からなる活性層と、該活性層を覆う絶縁膜と、該絶縁膜上に形成されたゲート電極とからなるTFTを含む半導体装置であって、

前記活性層はゲート電極と重なるチャンネル形成領域と、LDD領域を形成する低濃度不純物領域と、ソース領域またはドレイン領域とを有し、

前記絶縁膜のうち、前記低濃度不純物領域上方の膜厚は、前記チャンネル形成領域上方の膜厚より薄く、且つ前記ソース領域またはドレイン領域上方の膜厚より厚いことを特徴とする半導体装置。

【請求項2】請求項1において、前記ゲート電極は、テーパー部を有していることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記低濃度不純物領域は、前記チャンネル形成領域と前記ソース領域の間、または前記チャンネル形成領域と前記ドレイン領域との間に存在することを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記低濃度不純物領域に含まれるp型またはn型不純物元素の濃度は、チャンネル形成領域から遠ざかるにつれて高くなることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記ソース領域または前記ドレイン領域は、前記低濃度不純物領域に含まれるp型またはn型不純物元素の濃度より高い濃度でp型またはn型不純物元素を含む領域であることを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれかにおいて、前記低濃度不純物領域に含まれるp型またはn型不純物元素の濃度は、 $1 \times 10^{16} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項7】請求項1乃至6のいずれかにおいて、前記活性層を覆う絶縁膜は、テーパー部を有し、チャンネル長方向における該テーパー部の長さL2は、 $0.1 \sim 1 \mu\text{m}$ であることを特徴とする半導体装置。

【請求項8】請求項1乃至7のいずれかにおいて、前記ゲート電極は、耐熱性導電性材料からなる単層膜または積層膜であり、前記耐熱性導電性材料は、タンタル(Ta)、チタン(Ti)、タングステン(W)から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイド、であることを特徴とする半導体装置。

【請求項9】請求項1乃至8のいずれか一項において、前記ゲート電極のテーパー部の角度は $5 \sim 35^\circ$ であることを特徴とする半導体装置。

【請求項10】請求項1乃至請求項9のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、プロジ

ェクターであることを特徴とする半導体装置。

【請求項11】画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを有する駆動回路を同一の基板上に設けた半導体装置において、

前記基板上に結晶構造を含む半導体層を形成する第1の工程と、

前記結晶構造を含む半導体層を選択的にエッチングして複数の島状半導体層を形成する第2の工程と、

前記島状半導体層に接してゲート絶縁膜を形成する第3の工程と、

前記ゲート絶縁膜上に耐熱性導電性材料から成る導電層を形成する第4の工程と、

前記導電層を選択的にエッチングして、テーパー部を有するゲート電極及びテーパー部を有するゲート絶縁膜を形成する第5の工程と、

少なくとも、前記駆動回路のnチャネル型TFTおよび前記画素TFTを形成する前記島状半導体層に、前記ゲート絶縁膜のテーパー部を通してn型を付与する不純物元素を添加して、前記基板と平行な方向において該n型を付与する不純物元素の濃度勾配を有する低濃度n型不純物領域を形成する第6の工程と、

前記駆動回路のnチャネル型TFTおよび前記画素TFTを形成する前記島状半導体層に、前記ゲート電極をマスクとしてn型を付与する不純物元素を添加して高濃度n型不純物領域を形成する第7の工程と、

前記駆動回路のpチャネル型TFTを形成する前記島状半導体層に、前記ゲート電極のテーパー部と前記ゲート絶縁膜を通してp型を付与する不純物元素を添加して、前記基板と平行な方向において該p型を付与する不純物元素の濃度勾配を有する低濃度p型不純物領域と、前記ゲート電極のテーパー部を介しないでp型を付与する不純物元素を添加して、高濃度p型不純物領域とを同時に形成する第8の工程と、

前記駆動回路のnチャネル型TFTと前記画素TFTとpチャネル型TFTとの上方に、無機絶縁物材料から成る第1の層間絶縁膜を形成する第9の工程と、該第1の層間絶縁膜に密接して有機絶縁物材料からなる第2の層間絶縁膜を形成する第10の工程と、

前記画素TFTに接続する画素電極を、前記第2の層間絶縁膜上に形成する第11の工程とを有することを特徴とする半導体装置の作製方法。

【請求項12】請求項11において、

前記耐熱性導電性材料は、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイド、から形成することを特徴とする半導体装置の作製方法。

【請求項 13】請求項 11 において、前記導電層を選択的にエッチングして、テーパー部を有するゲート電極及びテーパー部を有するゲート絶縁膜を形成する第 5 の工程は、一度のエッチング処理によって行われることを特徴とする半導体装置の作製方法。

【請求項 14】請求項 11 において、前記導電層を選択的にエッチングして、テーパー部を有するゲート電極及びテーパー部を有するゲート絶縁膜を形成する第 5 の工程は、複数のエッチング処理によって行われることを特徴とする半導体装置の作製方法。

【請求項 15】請求項 11 乃至請求項 14 のいずれか一項において、

前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、プロジェクターであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFTと記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一の基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0002】

【従来の技術】アクティブマトリクス型の液晶表示装置に代表される電気光学装置において、スイッチング素子や能動回路にTFTを用いて構成する技術が開発されている。TFTはガラスなどの基板上に気相成長法などにより半導体膜を形成し、その半導体膜を活性層として形成する。半導体膜にはシリコンまたはシリコン・ゲルマニウムなどシリコンを主成分とする材料が好適に用いられている。このような半導体膜はその作製法により、非晶質シリコン膜や多結晶シリコンに代表される結晶質シリコン膜などに分類することができた。

【0003】非晶質半導体（代表的には非晶質シリコン）膜を活性層としたTFTは、非晶質構造などに起因する電子物性的要因から、数 $\text{cm}^2/\text{Vsec}$ 以上の電界効果移動度を得ることは不可能であった。そのために、アクティブマトリクス型の液晶表示装置においては、画素部において液晶を駆動するためのスイッチング素子（画素TFT）として使用することはできても、画像表示を行うための駆動回路を形成することは不可能であった。従って、駆動回路はTAB（Tape Automated Bonding）方式やCOG（Chip on Glass）方式を使ってドライバIC

などを実装する技術が用いられていた。

【0004】一方、結晶構造を含む半導体（以下、結晶質半導体と記す）膜（代表的には、結晶質シリコン或いは多結晶シリコン）を活性層としたTFTでは、高い電界効果移動度が得られることから各種の機能回路を同一のガラス基板上に形成することが可能となり、画素TFTの他に駆動回路においてシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などを実現することができた。このような回路は、nチャネル型TFTとpチャネル型TFTとから成るCMOS回路を基本として形成されていた。このような駆動回路の実装技術が根拠となり、液晶表示装置において軽量化および薄型化を推進するためには、画素部の他に駆動回路を同一基板上に一体形成できる結晶質半導体層を活性層とするTFTが適していることが明らかとなってきた。

【0005】

【発明が解決しようとする課題】TFTの特性から比較すると結晶質半導体層を活性層に適用した方が優れているが、画素TFTの他に各種回路に対応したTFTを作製するためには、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

【0006】さらに、nチャネル型TFTおよびpチャネル型TFTを用いて作製されるこれらの回路の動作を安定化させるためには、TFTのしきい値電圧やサブスレショルド定数（S値）などの値を所定の範囲内とする必要がある。そのためには、TFTを構造面からと構成する材料面からとの両面から検討する必要がある。

【0007】本発明はこのような問題点を解決するための技術であり、TFTを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、各種回路に配置されるTFTの構造を、回路の機能に応じて適切なものとするにより、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ると共に、工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【0008】

【課題を解決するための手段】製造コストの低減および歩留まりを実現するためには、工程数を削減することが一つの手段として適用できる。具体的には、TFTの製造に要するフォトリソグラフィの枚数を削減することが必要である。フォトリソグラフィはフォトリソグラフィーの技術において、エッチング工程のマスクとするレジストパターンを基板上に形成するために用いる。従って、フォトリソグラフィを1枚使用することは、その前後の工程において、被膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが付加され、フォトリソグラフィーの工程においても、レジスト塗布、プレバーク、

露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。

【0009】そして、フォトマスク数を削減しながらも、各種回路に配置されるTFTの構造をその回路の機能に応じて適切なものとする。具体的には、スイッチング素子用のTFTは、動作速度よりもオフ電流値を低減させることに重点を置いた構造が望ましい。そのような構造として、マルチゲート構造を採用する。一方、高速動作が要求される駆動回路に設けられるTFTは、動作速度を高めることと、それと同時に顕著にな問題となるホットキャリア注入による劣化を抑制することに重点を置いた構造が望ましい。そのような構造として、TFTのLDD領域に工夫を加える。即ち、チャネル形成領域とドレイン領域との間に設けられるLDD領域において、ドレイン領域に近づくにつれて徐々に導電型制御用の不純物元素の濃度が高くなるような濃度勾配を持たせる点に特徴がある。この構成は、ドレイン領域近傍の空乏層において、電界が集中するのを緩和する効果がより顕著となる。

【0010】このような不純物元素の濃度勾配を有するLDD領域を形成するために、本発明では、イオン化した導電型制御用の不純物元素を、電界で加速してゲート絶縁膜（本発明では、ゲート電極と半導体層とに密接してその両者の間に設けられるゲート絶縁膜と、該ゲート絶縁膜からその周辺の領域に延在する絶縁膜を含めてゲート絶縁膜と称する）を通過させて、半導体層に添加する方法を用いる。本明細書中において、この不純物元素の添加方法を便宜上「スルードープ法」と呼ぶ。そして、本発明のスルードープ法においてゲート電極の形状は、ゲート電極の端部において端部から内側に向かって徐々に厚さが増加するいわゆるテーパ形状とする。また、ゲート絶縁膜も同様にゲート電極と接する部分に向かって徐々に厚さが増加するテーパ形状としてスルードープ法を行うことで、ゲート絶縁膜のテーパ部の厚さにより半導体層に添加される不純物元素の濃度を制御することが可能となり、TFTのチャネル長方向に渡って不純物元素の濃度が徐々に変化するLDD領域を形成することができる。

【0011】ゲート電極を形成する材料は耐熱性導電性材料を用い、タングステン(W)、タンタル(Ta)、チタン(Ti)から選ばれた元素、または前記元素を成分とする化合物或いは合金から形成する。このような耐熱性導電性材料を高速でかつ精度良エッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法を適用する。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の大面积化にも対応できる。

【0012】ICPを用いたプラズマ処理方法やプラズマ処理装置に関しては特開平9-293600号公報で開示されている。同公報では、プラズマ処理を高精度に行うための手段として、高周波電力をインピーダンス整合器を介して4本の渦巻き状コイル部分が並列に接続されてなるマルチスパイラルコイルに印加してプラズマを形成する方法を用いている。ここで、各コイル部分の1本当たりの長さは、高周波の波長の1/4倍としている。さらに、被処理物を保持する下部電極にも、別途高周波電力を印加してバイアス電圧を付加する構成としている。

【0013】このようなICPを用いたプラズマ処理装置（例えば、エッチング装置）の構造概略図を図17

(A)に示す。反応空間の上部に設けられた石英板905上にアンテナコイル903を配置して、マッチングボックス907を介して第1の高周波電源901に接続されている。第1の高周波電源901は6~60MHz、代表的には13.56MHzを適用する。被処理物となる基板906を保持する下部電極904には第2の高周波電源902がマッチングボックス912を介して接続されている。第2の高周波電源902は100kHz~60MHz（例えば、6~29MHz）とする。アンテナコイル903に高周波電力が印加されると、アンテナコイル903に高周波電流Jがθ方向に流れ、Z方向に磁界Bが発生する(数式1)。

【0014】

【数1】

$$\mu_0 J = \text{rot } B$$

【0015】そして、ファラデーの電磁誘導の法則に従い、θ方向に誘導電界Eが生じる(数式2)。

【0016】

【数2】

$$-\frac{\partial B}{\partial t} = \text{rot } E$$

【0017】この誘導電界Eで電子がθ方向に加速されてガス分子と衝突し、プラズマが生成される。誘導電界の方向がθ方向なので、荷電粒子が反応室の壁や基板に衝突してエネルギーを消失させる確立が低くなる。また、アンテナコイル903の下方へは、磁界Bが殆ど及ばないので、平板状に広がった高密度プラズマ領域が形成される。そして、下部電極904に印加する高周波電力を調整することによって、プラズマ密度と基板906にかかるバイアス電圧を独立に制御することができる。また、被処理物の材料に応じて印加する高周波電力の周波数を異ならせることも可能となる。

【0018】ICPで高密度プラズマを得る為にはアンテナコイルに流れる高周波電流Jを低損失で流す必要があり、そのインダクタンスを低下させなければならな

い。その為に、アンテナコイルを分割した方式とすることが有効となる。図 17 (B) はそのような構成を示す図であり、石英板 911 上に 4 本の渦巻き状コイル (マルチスパイラルコイル) 910 を配置して、マッチングボックス 909 を介して第 1 の高周波電源 908 に接続されている。このとき、各コイルの 1 本当りりの長さを高周波の波長の  $1/4$  の整数倍としておくと、コイルに定在波が立ち発生する電圧のピーク値を高めることができる。

【0019】このようなマルチスパイラルコイルを適用した ICP を用いたエッチング装置を用いると、前記耐熱性導電性材料のエッチングを良好に行うことができる。ここでは、松下電器産業 (株) 製の ICP を用いたドライエッチング装置 (Model E645-ICP) を用いた。図 18 は、ガラス基板上に所定のパターンに形成された W 膜について、そのパターン端部のテーパ形状について調べた結果を示す。ここで、テーパ部の角度は基板表面 (水平面) とテーパ部の傾斜部とがなす角を角度として定義する (図 5 において  $\theta 1$  で示す角度)。ここでは、共通条件として放電電力 (コイルに印加する高周波電力、 $13.56\text{MHz}$ ) を  $3.2\text{W}/\text{cm}^2$ 、圧力  $1.0\text{Pa}$  としてエッチングガスに  $\text{CF}_4$  と  $\text{C}_2\text{F}_6$  を用いた。図 18 (A) はテーパ部の角度  $\theta 1$  について、基板側にかかるバイアス電力 ( $13.56\text{MHz}$ ) 依存性を示す。エッチングガスの流量は  $\text{CF}_4$ 、 $\text{C}_2\text{F}_6$  共に  $30\text{SCCM}$  とした。テーパ部の角度  $\theta 1$  はバイアス電力が  $128 \sim 384\text{mW}/\text{cm}^2$  の範囲で  $70 \sim 20^\circ$  まで変化させることが可能であることが明らかとなった。また、図 18 (B) はテーパ部の角度  $\theta 1$  のエッチングガス流量比依存性について調べた結果を示す。 $\text{CF}_4$  と  $\text{C}_2\text{F}_6$  の合計の流量を  $60\text{SCCM}$  として、 $\text{CF}_4$  のみを  $20 \sim 40\text{SCCM}$  の範囲で変化させた。このときバイアス電力は  $128\text{mW}/\text{cm}^2$  とした。その結果、テーパ部の角度  $\theta 1$  は  $60 \sim 80^\circ$  まで変化させることが可能であった。

【0020】このようにテーパ部の角度は基板側にかかるバイアス電力によって大きく変化を示し、バイアス電力をさらに高め、また、圧力を変化させることによりテーパ部の角度を  $5 \sim 45^\circ$  まで変化させることができる。

【0021】また、本発明では、ゲート電極の端部に接するゲート絶縁膜にもテーパ部を形成する。図 5 は、 $n$  チャンネル TFT の部分拡大図である。ここで、ゲート絶縁膜のテーパ部の角度は基板表面 (水平面) とテーパ部の傾斜部とがなす角をテーパ角として定義する (図 5 において  $\theta 2$  で示す角度)。LDD 領域 623 はゲート絶縁膜のテーパ部 627 の下に形成される。このとき、LDD 領域におけるリン (P) の濃度分布は 6

25 の曲線で示され、チャンネル形成領域 621 から遠ざかるにつれて増加する。

【0022】この増加の割合は、イオンドープにおける加速電圧やドーズ量などの条件、テーパ部 627、628 の角度  $\theta 2$ 、 $\theta 1$  やゲート電極 607 の厚さなどによって異なってくる。このように、ゲート電極の端部とその近傍におけるゲート絶縁膜をテーパ形状として、そのテーパ部を通して不純物元素を添加することにより、テーパ部の下に存在する半導体層中に、徐々に前記不純物元素の濃度が変化するような不純物領域を形成することができる。また、LDD 領域の端部 622 は、ゲート電極 607 と重なっているが、ドーピング条件によってはゲート電極と LDD が重ならないようにすることも可能である。

【0023】また、エッチング条件によっては、図 16 (a) に示すようなゲート絶縁膜の形状となる場合もある。LDD 領域 1623 は、図 16 (a) に示したゲート絶縁膜のテーパ部の下に形成される。図 16 (a) において、1605 はゲート絶縁膜、1607 はゲート電極、1621 はチャンネル形成領域、1622 はゲート電極と重なる LDD 領域、1624 はソース領域またはドレイン領域である。

【0024】また、エッチング条件によっては、図 16 (b) に示すようなゲート絶縁膜の形状となる場合もある。LDD 領域 1723 は、図 16 (a) に示したゲート絶縁膜のテーパ部の下に形成される。図 16 (b) において、1705 はゲート絶縁膜、1707 はゲート電極、1721 はチャンネル形成領域、1722 はゲート電極と重なる LDD 領域、1724 はソース領域またはドレイン領域である。また、図 16 (b) においては、テーパ部に段差ができており、ゲート電極端部から長さ L3 の領域は、ゲート絶縁膜の膜厚がゲート電極の下方の膜厚と同一である。

【0025】表 1 はゲート電極を形成する前記耐熱性導電性材料の ICP エッチング装置における加工特性を示す。ここでは、W 膜と Ta 膜の他に、ゲート電極用の材料としてしばしば用いられるモリブデン-タングステン (Mo-W) 合金 (組成比は  $\text{Mo} : \text{W} = 48 : 50\text{wt}\%$ ) の例を示す。表 1 にはエッチング速度、適用するエッチングガス、およびゲート電極の下地となるゲート絶縁膜との選択比の代表的な値を示す。ゲート絶縁膜はプラズマ CVD 法で作製する酸化シリコン膜または酸化窒化シリコン膜であり、ここで選択比はゲート絶縁膜のエッチング速度に対するそれぞれの材料におけるエッチング速度の割合として定義する。

【0026】

【表 1】

材料	エッチング速度 (nm/min)	ゲート絶縁膜との 選択比	エッチングガス
W	70~90	2~4	CF <sub>4</sub> +Cl <sub>2</sub>
Ta	140~160	6~8	Cl <sub>2</sub>
Mo-W	40~60	0.1~2	CF <sub>4</sub> +Cl <sub>2</sub>

【0027】Ta膜のエッチング速度は140~160 nm/minで選択比も6~8が選られ、W膜のエッチング速度70~90 nm/min、また選択比2~4に対して優れた値となっている。従って、被加工性という観点からはTa膜も適しているが、表中に示さない値として、抵抗率が20~30 μΩ cmであり、W膜の10~16 μΩ cmに比べて若干高い点が難点となる。一方、Mo-W合金はエッチング速度が40~60 nm/minと遅く、また選択比は0.1~2となりこの材料は被加工性という観点から必ずしも適していないことが覗われる。このように、表1からはTa膜が最も良い結果を示していることがわかるが、前述のように抵抗率を考慮するとW膜が総合的には適していると判断される。

【0028】ここでは、W膜を一例として示したが、前記耐熱性導電性材料についてICPエッチング装置を用いると、容易にパターンの端部をテーパー形状として加工することができる。そして、このような方法を適用してゲート電極を設け、スルードープ法を行うことで、ゲート絶縁膜の厚さにより半導体層に添加される不純物元素の濃度を制御することが可能となり、TFETのチャンネル長方向に向かって不純物元素の濃度が徐々に変化するLDD領域を形成することが可能となる。

【0029】このような手段を用い、本発明の構成は、絶縁表面を有する基板上に形成された半導体薄膜からなる活性層と、該活性層を覆う絶縁膜と、該絶縁膜上に形成されたゲート電極とからなるTFETを含む半導体装置であって、前記活性層はゲート電極と重なるチャンネル形成領域と、LDD領域を形成する低濃度不純物領域と、ソース領域またはドレイン領域とを有し、前記絶縁膜のうち、前記低濃度不純物領域上方の膜厚は、前記チャンネル形成領域上方の膜厚より薄く、且つ前記ソース領域またはドレイン領域上方の膜厚より厚いことを特徴とする半導体装置である。

【0030】上記構成において、前記ゲート電極は、テーパー部を有していることを特徴としている。

【0031】また、上記構成において、前記低濃度不純物領域は、前記チャンネル形成領域と前記ソース領域の間、または前記チャンネル形成領域と前記ドレイン領域との間に存在することを特徴としている。

【0032】また、上記構成において、前記低濃度不純物領域に含まれるp型またはn型不純物元素の濃度は、チャンネル形成領域から遠ざかるにつれて高くなることを特徴としている。

【0033】また、上記構成において、前記ソース領域または前記ドレイン領域は、前記低濃度不純物領域に含まれるp型またはn型不純物元素の濃度より高い濃度でp型またはn型不純物元素を含む領域であることを特徴としている。

【0034】また、上記構成において、前記低濃度不純物領域に含まれるp型またはn型不純物元素の濃度は、 $1 \times 10^{14} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>であることを特徴とする半導体装置。

【0035】また、上記構成において、前記活性層を覆う絶縁膜は、テーパー部を有し、チャンネル長方向における該テーパー部の長さL2は、0.1~1 μmであることを特徴とする半導体装置。

【0036】また、上記構成において、前記ゲート電極は、耐熱性導電性材料からなる単層膜または積層膜であり、前記耐熱性導電性材料は、タンタル(Ta)、チタン(Ti)、タングステン(W)から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイド、であることを特徴としている。

【0037】また、上記構成において、前記ゲート電極のテーパー部の角度は5~35°であることを特徴としている。する半導体装置。

【0038】また、上記構成を得るための本発明の作製方法は、画素部に設けた画素TFETと、該画素部の周辺にpチャンネル型TFETとnチャンネル型TFETとを有する駆動回路を同一の基板上に設けた半導体装置において、前記基板上に結晶構造を含む半導体層を形成する第1の工程と、前記結晶構造を含む半導体層を選択的にエッチングして複数の島状半導体層を形成する第2の工程と、前記島状半導体層に接してゲート絶縁膜を形成する第3の工程と、前記ゲート絶縁膜上に耐熱性導電性材料から成る導電層を形成する第4の工程と、前記導電層を選択的にエッチングして、テーパー部を有するゲート電極及びテーパー部を有するゲート絶縁膜を形成する第5の工程と、少なくとも、前記駆動回路のnチャンネル型TFETおよび前記画素TFETを形成する前記島状半導体層に、前記ゲート絶縁膜のテーパー部を通してn型を付与する不純物元素を添加して、前記基板と平行な方向において該n型を付与する不純物元素の濃度勾配を有する低濃度n型不純物領域を形成する第6の工程と、前記駆動回路のnチャンネル型TFETおよび前記画素TFETを形成する



前記島状半導体層に、前記ゲート電極をマスクとしてn型を付与する不純物元素を添加して高濃度n型不純物領域を形成する第7の工程と、前記駆動回路のpチャンネル型TFTを形成する前記島状半導体層に、前記ゲート電極のテーパー部と前記ゲート絶縁膜を通してp型を付与する不純物元素を添加して、前記基板と平行な方向において該p型を付与する不純物元素の濃度勾配を有する低濃度p型不純物領域と、前記ゲート電極のテーパー部を介しないでp型を付与する不純物元素を添加して、高濃度p型不純物領域とを同時に形成する第8の工程と、前記駆動回路のnチャンネル型TFTと前記画素TFTとpチャンネル型TFTとの上方に、無機絶縁物材料から成る第1の層間絶縁膜を形成する第9の工程と、該第1の層間絶縁膜に密接して有機絶縁物材料からなる第2の層間絶縁膜を形成する第10の工程と、前記画素TFTに接続する画素電極を、前記第2の層間絶縁膜上に形成する第11の工程とを有することを特徴とする半導体装置の作製方法である。

【0039】上記構成において、前記導電層を選択的にエッチングして、テーパー部を有するゲート電極及びテーパー部を有するゲート絶縁膜を形成する第5の工程は、一度のエッチング処理によって行われる方法を用いてもよいし、複数のエッチング処理によって行われる方法を用いてもよい。

#### 【0040】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

【実施例1】本発明の実施例を図1～図5を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0041】図1(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理していてもよい。そして、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜102aを10～200nm(好ましくは50～100nm)、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化シリコン膜102bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。ここでは下地膜102を2層構造として示

したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

【0042】酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 $\text{SiH}_4$ を10SCCM、 $\text{NH}_3$ を100SCCM、 $\text{N}_2\text{O}$ を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、 $\text{SiH}_4$ を5SCCM、 $\text{N}_2\text{O}$ を120SCCM、 $\text{H}_2$ を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0043】このようにして作製した酸化窒化シリコン膜102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム( $\text{NH}_4\text{HF}_2$ )を7.13%とフッ化アンモニウム( $\text{NH}_4\text{F}$ )を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0044】次に、25～80nm(好ましくは30～60nm)の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ から $\text{SiH}_4$ と $\text{H}_2$ 、或いは $\text{SiH}_4$ のみに切り替えれば、一旦大気雰囲気中に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0045】そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法(固相成長法)、またはラビットサーマルアニール法(RTA法)を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或い

は特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層 103b を形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400~500℃で 1 時間程度の熱処理を行い含有する水素量を 5atm% 以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0046】また、プラズマ CVD 法で非晶質シリコン膜の形成工程において、反応ガスに SiH<sub>4</sub> とアルゴン (Ar) を用い、成膜時の基板温度を 400~450℃ として形成すると、非晶質シリコン膜の含有水素濃度を 5atomic% 以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

【0047】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数 30Hz とし、レーザーエネルギー密度を 100~500mJ/cm<sup>2</sup> (代表的には 300~400mJ/cm<sup>2</sup>) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を 80~98% として行う。このようにして図 1 (B) に示すように結晶質半導体層 103b を得ることができる。

【0048】そして、結晶質半導体層 103b 上に第 1 のフォトリソグラフィ技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図 1 (C) に示すように島状半導体層 104~108 を形成する。結晶質シリコン膜のドライエッチングには CF<sub>4</sub> と O<sub>2</sub> の混合ガスを用いる。

【0049】このような島状半導体層に対し、TFT のしきい値電圧 (V<sub>th</sub>) を制御する目的で p 型を付与する不純物元素を 1×10<sup>16</sup>~5×10<sup>17</sup> atoms/cm<sup>3</sup> 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対して p 型を付与する不純物元素には、ホウ素 (B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第 13 族の元素が知られている。その方法として、イオン注入法やイオンドープ法 (或いはイオンシャワードープ法) を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン (B<sub>2</sub>H<sub>6</sub>) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 TFT のしきい値電圧を所定の範囲内に収めるために用いる手法である。

【0050】ゲート絶縁膜 109 はプラズマ CVD 法またはスパッタ法を用い、膜厚を 40~150nm として

シリコンを含む絶縁膜で形成する。本実施例では、120nm の厚さで酸化窒化シリコン膜から形成する。また、SiH<sub>4</sub> と N<sub>2</sub>O に O<sub>2</sub> を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) と O<sub>2</sub> とを混合し、反応圧力 40Pa、基板温度 300~400℃ とし、高周波 (13.56MHz) 電力密度 0.5~0.8W/cm<sup>2</sup> で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 400~500℃ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0051】そして、図 1 (D) に示すように、ゲート絶縁膜 109 上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。例えば、ゲート電極にはこのような耐熱性導電性材料を用い、導電性の金属膜から成る導電層 (A) 110 と窒化物金属膜から成る導電層 (B) 111 とを積層した構造とすると良い。導電層 (A) 110 は Ta、Ti、W から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層 (B) 111 は窒化タantal (Ta<sub>2</sub>N)、窒化タングステン (WN)、窒化チタン (TiN) 膜などで形成する。また、導電層 (A) 110 はタングステンシリサイド、チタンシリサイドを適用しても良い。導電層 (B) 111 は低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては 30ppm 以下とすると良かった。例えば、W は酸素濃度を 30ppm 以下とすることで 20μΩcm 以下の比抵抗値を実現することができた。

【0052】導電層 (A) 110 は 200~400nm (好ましくは 250~350nm) とし、導電層 (B) 111 は 10~50nm (好ましくは 20~30nm) とすれば良い。W をゲート電極として形成する場合には、W をターゲットとしたスパッタ法で、導電層 (A) 110 を W 膜で 250nm の厚さに形成し、Ar ガスと窒素 (N<sub>2</sub>) ガスを導入して導電層 (B) 111 を WN 膜で 50nm の厚さに形成する。その他の方法として、W 膜は 6 フッ化タングステン (WF<sub>6</sub>) を用いて熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20μΩcm 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には

結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0053】尚、図示しないが、導電層(A)110の下に2~20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)110または導電層(B)111が微量に含有するアルカリ金属元素がゲート絶縁膜109に拡散するのを防ぐことができる。いずれにしても、導電層(B)111は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0054】本実施例では、ゲート電極を形成するために導電層(A)110をW膜で、導電層(B)111をWN膜で形成した。次に、第2のフォトマスク(PM2)を用い、フォトリソグラフィーの技術を使用してレジストマスク112a~117aを形成し、導電層(A)110と導電層(B)111とを一括でエッチングしてゲート電極118~122と容量配線123を形成する。ゲート電極118c~122cと容量配線123cは、導電層(A)から成る118a~123aと、導電層(B)から成る118b~123bとが一体として形成されている(図2(A))。

【0055】このときのエッチングによりレジストマスクが形成されていない領域のゲート絶縁膜が薄膜化される。

【0056】次いで、少なくともゲート電極118~122の端部にテーパー部が形成されるようにエッチングする。このエッチング加工はICPエッチング装置により行う。その技術の詳細は前述の如くである。具体的なエッチング条件として、エッチングガスに $\text{CF}_4$ と $\text{Cl}$ の混合ガスを用いその流量をそれぞれ30SCCMとして、放電電力 $3.2 \text{ W/cm}^2$  (13.56MHz)、バイアス電力 $2.24 \text{ mW/cm}^2$  (13.56MHz)、圧力 $1.0 \text{ Pa}$ でエッチングを行った。(図2(B))

【0057】このようなエッチング条件により、ゲート電極の端部において、該端部から内側にむかって徐々に厚さが増加するテーパー部が形成され、118d、118eからなるゲート電極118fが形成される。また、同様に119f、120f、121f、122f、123fが形成され、各々のテーパー部の角度は $5 \sim 35^\circ$ 、好ましくは $10 \sim 25^\circ$ とする。ゲート電極のテーパー部の角度は、図5で $\theta 1$ として示す部分の角度である。この角度は、後にLDD領域を形成する低濃度n型不純物領域の濃度勾配に大きく影響する。尚、テーパー部の角度 $\theta 1$ は、テーパー部の長さ(L1)とテーパー部の厚さ(HG)を用いて $\tan(\theta 1) = \text{HG}/\text{L1}$ で表される。

【0058】また、本実施例では、 $10 \sim 20\%$ 程度の割合でエッチング時間を増しするオーバーエッチングを行なったため、ゲート絶縁膜の露出した面は $20 \sim 50 \text{ nm}$ 程度エッチングされて実質的に薄くなった。また、レジストマスク112a~117aもエッチングされて、小さな形状のレジストマスク112b~117bとなる。この結果、ゲート電極の端部と接する部分にテーパー部が形成されたゲート絶縁膜130が形成された。ゲート絶縁膜130のテーパー部の角度は、図5で $\theta 2$ として示す部分の角度である。この角度は、後にLDD領域を形成する低濃度n型不純物領域の濃度勾配に大きく影響する。尚、テーパー部の角度 $\theta 2$ は、ゲート絶縁膜のテーパー部の長さ(L2)とテーパー部の厚さ(HG2)を用いて $\tan(\theta 2) = \text{HG2}/\text{L2}$ で表される。

【0059】そして、画素TFTおよび駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素添加の工程(n<sup>-</sup>ドーブ工程)を行う。ゲート電極の形成に用いたレジストマスク112a~117aをそのまま残し、端部にテーパー部を有するゲート電極118c~122cをマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。ここでは、n型を付与する不純物元素をゲート電極の端部と接するゲート絶縁膜のテーパー部を通して、その下に位置する半導体層に達するように添加するためにドーブ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドープ法により半導体層のリン(P)濃度は $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ の濃度範囲で添加する。このようにして、図2(C)に示すように島状半導体層に低濃度n型不純物領域124~129を形成する。

【0060】この工程において、低濃度n型不純物領域124~128において、リン(P)の濃度勾配は、ゲート絶縁膜のテーパー部の膜厚変化を反映する。これはゲート絶縁膜テーパー部における膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためである。また、実際にはゲート電極を通して、ゲート電極のテーパー部における端部の下方にもリンが添加される。即ち、低濃度n型不純物領域124~128へ添加されるリン(P)の濃度は、チャネル形成領域に向かって徐々に濃度が低くなる。

【0061】尚、図2(C)では低濃度n型不純物領域124~129の端部を斜めに図示しているが、これはリン(P)が添加された領域を直接的に示しているのではなく、上述のようにリンの濃度変化がゲート絶縁膜の形状に沿って変化していることを表している。

【0062】次に、nチャネル型TFTにおいて、ソー

ス領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った(n'ドーピング工程)。レジストのマスク112~117を残し、今度はゲート電極118~122がリン(P)を遮蔽するマスクとなるように、イオンドーピング法において40~100keVの加速電圧の条件で添加する。このようにして高濃度n型不純物領域131~136を形成する。この領域におけるゲート絶縁膜130は、前述のようにゲート電極の加工においてオーバーエッチングが施されたため、当初の膜厚である120nmから薄くなり、70~100nmとなっている。そのためこのような低加速電圧の条件でも良好にリン(P)を添加することができる。そして、この領域のリン(P)の濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度範囲となるようにする(図3(A))。

【0063】そして、pチャネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする高濃度p型不純物領域140、141を形成する。ここでは、ゲート電極118、120をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層105、107、108は、第3のフォトリソマスク(PM3)を用いてレジストマスク137~139を形成し全面を被覆しておく。ここで形成される不純物領域140、141はジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーピング法で形成する。そして、ゲート電極と重ならない高濃度p型不純物領域140a、141aのボロン(B)濃度は、 $3 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>となるようにする。また、不純物領域140b、141bは、ゲート絶縁膜とゲート電極のテーパー部を介して不純物元素が添加されるので、実質的に低濃度p型不純物領域として形成され、少なくとも $1.5 \times 10^{19}$  atoms/cm<sup>3</sup>以上の濃度とする。この高濃度p型不純物領域140a、141aおよび低濃度p型不純物領域140b、141bには、前工程においてリン(P)が添加されていて、高濃度p型不純物領域140a、141aには $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度で、低濃度p型不純物領域140b、141bには $1 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度で含有しているが、この工程で添加するボロン(B)の濃度をリン(P)濃度の1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じなかった。

【0064】その後、図3(B)に示すように、ゲート電極およびゲート絶縁膜を覆う第1の層間絶縁膜142を形成する。第1の層間絶縁膜142は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜142は無機絶縁物材料から形成する。第1の層間絶縁膜142の膜厚は100~200nmとする。ここで、酸化シリコン膜を用いる場合に

は、プラズマCVD法でTEOSとO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>から作製される酸化窒化シリコン膜、またはSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20~200Pa、基板温度300~400℃とし、高周波(60MHz)電力密度0.1~1.0W/cm<sup>2</sup>で形成することができる。また、SiH<sub>4</sub>、N<sub>2</sub>O、H<sub>2</sub>から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>から作製することが可能である。

【0065】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい(図3(B))。

【0066】活性化の工程に続いて、雰囲気ガスを変化させ、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある $10^{18} \sim 10^{19}$ /cm<sup>3</sup>のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、島状半導体層104~108中の欠陥密度を $10^{18}$ /cm<sup>3</sup>以下とすることが望ましく、そのために水素を0.01~0.1atomic%程度付与すれば良かった。

【0067】活性化および水素化の工程が終了したら、有機絶縁物材料からなる第2の層間絶縁膜143を1.0~2.0μmの平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0068】このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減するできる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜142として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0069】その後、第4のフォトマスク（PM4）を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに $\text{CF}_4$ 、 $\text{O}_2$ 、 $\text{He}$ の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜143をまずエッチングし、その後、続いてエッチングガスを $\text{CF}_4$ 、 $\text{O}_2$ として第1の層間絶縁膜142をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを $\text{CHF}_3$ に切り替えてゲート絶縁膜130をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0070】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトマスク（PM5）によりレジストマスクパターンを形成し、エッチングによってソース配線144～148とドレイン配線149～153を形成する。ここで、ドレイン配線153は画素電極として機能するものである。ドレイン配線154は隣の画素に帰属する画素電極を表している。図示していないが、本実施例ではこの配線を、Ti膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300～400nmの厚さで形成（図3（C）において144a～154aで示す）し、さらにその上に透明導電膜を80～120nmの厚さで形成（図3（C）において144b～154bで示す）した。透明導電膜には酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）、酸化亜鉛（ $\text{ZnO}$ ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）などを好適に用いることができる。

【0071】こうして5枚のフォトマスクにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT（A）200a、第1のnチャネル型TFT（A）201a、第2のpチャネル型TFT（A）202a、第2のnチャネル型TFT（A）203a、画素部には画素TFT204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0072】駆動回路の第1のpチャネル型TFT

（A）200aには、島状半導体層104にチャネル形成領域206、LDD領域207、高濃度p型不純物領域から成るソース領域208、ドレイン領域209を有した構造となっている。第1のnチャネル型TFT

（A）201aには、島状半導体層105にチャネル形成領域210、低濃度n型不純物領域で形成され、LDD領域211、高濃度n型不純物領域で形成するソース領域212、ドレイン領域213を有している。チャネル長3～7 $\mu\text{m}$ に対して、LDD領域を $L_{ov}$ としてそのチャネル長方向の長さは30nm～250nmとする。この $L_{ov}$ の長さはゲート電極119の厚さとテーパー部の角度 $\theta_1$ から制御する。

【0073】このLDD領域について図5を用いて説明する。図5に示すのは、図3（C）に示した第1のnチャネル型TFT（A）201aの部分拡大図である。LDD領域622はゲート電極のテーパー部628の下に形成される。また、LDD領域623はゲート絶縁膜のテーパー部627の下に形成される。このとき、両者のLDD領域におけるリン（P）の濃度分布は625の曲線で示され、チャネル形成領域621から遠ざかるにつれて増加する。この増加の割合は、イオンドープにおける加速電圧やドーズ量などの条件、テーパー部627、628の角度 $\theta_2$ 、 $\theta_1$ やゲート電極607の厚さなどによって異なってくる。

【0074】このように、ゲート電極の端部とその近傍におけるゲート絶縁膜をテーパー形状として、そのテーパー部を通して不純物元素を添加することにより、テーパー部の下に存在する半導体層中に、徐々に前記不純物元素の濃度が変化するような不純物領域を形成することができる。そして、LDD領域622の不純物濃度において、その最低濃度範囲を $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ とし、最高濃度範囲を $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ とする。また、LDD領域623の不純物濃度において、その最低濃度範囲を $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ とし、最高濃度範囲を $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ とする。このような不純物領域を設けることにより、nチャネル型TFTにおいてドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができると同時にオフ電流値を低減させることを可能としている。

【0075】駆動回路の第2のpチャネル型TFT

（A）202aは同様に、島状半導体層106にチャネル形成領域214、LDD領域215、高濃度p型不純物領域で形成されるソース領域216、ドレイン領域217を有した構造となっている。第2のnチャネル型TFT（A）203aには、島状半導体層107にチャネル形成領域218、LDD領域219、高濃度n型不純物領域で形成するソース領域220、ドレイン領域221を有している。LDD領域219は、LDD領域211と同じ構成とする。画素TFT204には、島状半導

体層 108 にチャネル形成領域 222a、222b、低濃度 n 型不純物領域で形成する LDD 領域 223a、223b、高濃度 n 型不純物領域で形成するソースまたはドレイン領域 225~227 を有している。LDD 領域 223a、223b は、LDD 領域 211 と同じ構成とする。さらに、容量配線 123 と、ゲート絶縁膜と、画素 TFT 204 のドレイン領域 227 に接続する半導体層 228、229 とから保持容量 205 が形成されている。図 3 (C) では、駆動回路の n チャネル型 TFT および p チャネル型 TFT を一対のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造とし、画素 TFT をダブルゲート構造としたが、これらの TFT はいずれもシングルゲート構造としても良いし、複数のゲート電極を一対のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

【0076】アクティブマトリクス型の液晶表示装置の場合、第 1 の p チャネル型 TFT (A) 200a と第 1 の n チャネル型 TFT (A) 201a は高速動作を重視するシフトレジスタ回路、バッファ回路、レベルシフト回路などを形成するのに用いる。図 3 (C) ではこれら

【0077】上記工程によって形成されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図 4 (A) に示すように、図 3 (C) の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数  $\mu\text{m}$  の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR 社製の NN700 を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで 150~200℃ で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さ H を 1.2~5  $\mu\text{m}$  とし、平均半径を 5~7  $\mu\text{m}$ 、平均半径と底部の半径との比を 1 対 1.5 とする。このとき側面のテーパ角は  $\pm 15^\circ$  以下とする。

【0078】スペーサの配置は任意に決定すれば良いが、好ましくは、図 4 (A) で示すように、画素部においてはドレイン配線 153 (画素電極) のコンタクト部 231 と重ねてその部分を覆うように柱状スペーサ 406 を形成すると良い。コンタクト部 231 は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部 231 にスペーサ用の樹脂

を充填する形で柱状スペーサ 406 を形成することでディスプレイネーションなどを防止することができる。また、駆動回路の TFT 上にもスペーサ 405a~405e を形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図 4 で示すようにソース配線およびドレイン配線を覆うようにして設けても良い。

【0079】その後、配向膜 407 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ 406 の端部からラビング方向に対してラビングされない領域が 2  $\mu\text{m}$  以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の TFT 上に形成したスペーサ 405a~405e により静電気から TFT を保護する効果を得ることができる。また図では説明しないが、配向膜 407 を先に形成してから、スペーサ 406、405a~405e を形成した構成としても良い。

【0080】対向側の対向基板 401 には、遮光膜 402、透明導電膜 403 および配向膜 404 を形成する。遮光膜 402 は Ti 膜、Cr 膜、Al 膜などを 150~300nm の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 408 で貼り合わせる。シール剤 408 にはフィラー (図示せず) が混入されていて、このフィラーとスペーサ 406、405a~405e によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 409 を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 4 (B) に示すアクティブマトリクス型液晶表示装置が完成する。本実施例で完成したアクティブマトリクス基板を用いることで反射型の液晶表示装置を作製することができる。

【0081】図 7 は画素部のほぼ一画素分を示す上面図である。図中に示す A-A' 断面が図 3 (C) に示す画素部の断面図に対応している。画素 TFT 204 は、ゲート電極 122 は図示されていないゲート絶縁膜を介してその下の島状半導体層 108 と交差し、さらに複数の島状半導体層に跨って延在してゲート配線を兼ねている。図示はしていないが、島状半導体層には、図 3

(C) で説明したソース領域、ドレイン領域、LDD 領域が形成されている。また、230 はソース配線 148 とソース領域 225 とのコンタクト部、231 はドレイン配線 153 とドレイン領域 227 とのコンタクト部である。保持容量 205 は、画素 TFT 204 のドレイン領域 227 から延在する半導体層 228、229 とゲ-

ト絶縁膜を介して容量配線 1 2 3 が重なる領域で形成されている。この構成において半導体層 2 2 8 には、価電子制御を目的とした不純物元素は添加されていない。

【0082】以上の様な構成は、ゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0083】さらに、ゲート電極にゲート絶縁膜を介して一部重なるLDD領域を形成する際に、導電性を制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

【0084】〔実施例2〕実施例1ではゲート電極の材料にWやTaなどの耐熱性導電性材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に導電性の制御を目的として半導体層に添加した不純物元素を400～700℃の熱アニールによって活性化させる必要があり、その工程を実施する上でゲート電極に耐熱性を持たせる必要があるためである。しかしながら、このような耐熱性導電性材料は面積抵抗で10Ω程度あり、画面サイズが4インチクラスかそれ以上の液晶表示装置には必ずしも適していなかった。ゲート電極に接続するゲート配線を同じ材料で形成すると、基板上における引回し長さが必然的に大きくなり、配線抵抗の影響による配線遅延の問題を無視することができなくなるためである。

【0085】例えば、画素密度がVGAの場合、480本のゲート配線と640本のソース配線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。本実施例ではこのような液晶表示装置を実現する手段として、ゲート配線をAlや銅(Cu)などの低抵抗導電性材料で形成する方法について説明する。

【0086】まず、実施例1と同様にして図1(A)～図3(A)に示す工程を行う。そして導電性の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行った。

【0087】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボ

ンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0088】活性化および水素化の工程が終了したら、ゲート配線を低抵抗導電性材料で形成する。低抵抗導電性層はAlやCuを主成分とする導電層(D)で形成する。例えば、Tiを0.1～2重量%含むAl膜を導電層(D)として全面に形成する(図示せず)。導電層(D)は200～400nm(好ましくは250～350nm)とすれば良い。そして、フォトリソを用いて所定のレジストパターンを形成し、エッチング処理して、ゲート配線と容量配線を形成する。エッチング処理はリン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができる。そして第1の層間絶縁膜を実施例1と同様にして形成する。

【0089】その後、実施例1と同様にして有機絶縁物材料から成る第2の層間絶縁膜147、ソース配線ドレイン配線を形成してアクティブマトリクス基板を完成させることができる。

【0090】このようにゲート配線低抵抗導電性材料で形成することにより、配線抵抗を十分低減できる。従って、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。

【0091】〔実施例3〕実施例1で作製したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図6を用いて説明する。

【0092】アクティブマトリクス基板は実施例1と同様に作製する。図6(A)では、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形成する。ドレイン配線256を例としてこの構成を図6(B)で詳細に説明すると、Ti膜256aを50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。そのTi膜256a上に重ねてアルミニウム(Al)膜256bを300～400nmの厚さで形成し、さらにTi膜256cまたは窒化チタン(TiN)膜を100～200nmの厚さで形成して3層構造とする。その後、透明導電膜を全面に形成し、フォトリソを用いたパターニング処理およびエッチング処理により画素電極257を形成する。画素電極257は、有機樹脂材料から成る第2の層間絶縁膜上に形成され、画素TF204のドレイン配線256と重なる部分を設け電気的な接続を形成している。

【0093】図6(C)では最初に第2の層間絶縁膜143上に透明導電膜を形成し、パターニング処理および



エッチング処理をして画素電極258を形成した後、ドレイン配線259を画素電極258と重なる部分を設けて形成した例である。ドレイン配線259は、図6

(D)で示すようにTi膜259aを50~150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜259a上に重ねてAl膜259bを300~400nmの厚さで形成して設ける。この構成にすると、画素電極258はドレイン配線259を形成するTi膜259aのみと接触することになる。その結果、透明導電膜材料とAlとが直接接し反応するのを確実に防止できる。

【0094】透明導電膜の材料は、酸化インジウム( $\text{In}_2\text{O}_3$ )や酸化インジウム酸化スズ合金( $\text{In}_2\text{O}_3-\text{SnO}_2$ ;ITO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金( $\text{In}_2\text{O}_3-\text{ZnO}$ )を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、図6(A)、(B)の構成においてドレイン配線256の端面で、Al膜256bが画素電極257と接触して腐蝕反応をすることを防止できる。同様に、酸化亜鉛( $\text{ZnO}$ )も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛( $\text{ZnO:Ga}$ )などを用いることができる。

【0095】実施例1では反射型の液晶表示装置を作製できるアクティブマトリクス基板を5枚のフォトマスクにより作製したが、さらに1枚のフォトマスクの追加(合計6枚)で、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

【0096】【実施例4】本実施例では、実施例1~実施例3で示したアクティブマトリクス基板のTFTの活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール法やレーザーアニール法、またはRTA法などで結晶化させて形成するが、その他に特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。その場合の例を図8を用いて説明する。

【0097】図8(A)で示すように、実施例1と同様にして、ガラス基板1101上に下地膜1102a、1102b、非晶質構造を有する半導体層1103を25~80nmの厚さで形成する。非晶質半導体層は非晶質シリコン(a-Si)膜、非晶質シリコン・ゲルマニウム(a-SiGe)膜、非晶質炭化シリコン(a-Si

C)膜、非晶質シリコン・スズ(a-SiSn)膜などが適用できる。これらの非晶質半導体層は水素を0.1~40atomic%程度含有するようにして形成すると良い。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布するスピコート法で触媒元素を含有する層1104を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層1104は、スピコート法の他に印刷法やスプレー法、バーコーター法、或いはスパッタ法や真空蒸着法によって上記触媒元素の層を1~5nmの厚さに形成しても良い。

【0098】そして、図8(B)に示す結晶化の工程では、まず400~500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atom%以下にする。非晶質シリコン膜の含有水素量が成膜後において最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ファーネスアニール炉を用い、窒素雰囲気中で550~600℃で1~8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層1105を得ることができる(図8

(C))。しかし、この熱アニールによって作製された結晶質半導体層1105は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では480 $\text{cm}^{-1}$ にブロードなピークを持つ非晶質成分が観測される。そのため、熱アニールの後に実施例1で説明したレーザーアニール法で結晶質半導体層1105を処理してその結晶性を高めることは有効な手段として適用できる。

【0099】図9は同様に触媒元素を用いる結晶化法の実施例であり、触媒元素を含有する層をスパッタ法により形成するものである。まず、実施例1と同様にして、ガラス基板1201上に下地膜1202a、1202b、非晶質構造を有する半導体層1203を25~80nmの厚さで形成する。そして、非晶質構造を有する半導体層1203の表面に0.5~5nm程度の酸化膜(図示せず)を形成する。このような厚さの酸化膜は、プラズマCVD法やスパッタ法などで積極的に該当する被膜を形成しても良いが、100~300℃に基板を加熱してプラズマ化した酸素雰囲気中に非晶質構造を有する半導体層1203の表面を晒しても良いし、過酸化水素水( $\text{H}_2\text{O}_2$ )を含む溶液に非晶質構造を有する半導体層1203の表面を晒して形成しても良い。或いは、酸素を含む雰囲気中で紫外線光を照射してオゾンが発生させ、そのオゾン雰囲気中に非晶質構造を有する半導体層1203を晒すことによっても形成できる。

【0100】このようにして表面に薄い酸化膜を有する



非晶質構造を有する半導体層 1203 上に前記触媒元素を含有する層 1204 をスパッタ法で形成する。この層の厚さに限定はないが、10~100nm 程度の厚さに形成すれば良い。例えば、Ni をターゲットとして、Ni 膜を形成することは有効な方法である。スパッタ法では、電界で加速された前記触媒元素から成る高エネルギー粒子の一部が基板側にも飛来し、非晶質構造を有する半導体層 1203 の表面近傍、または該半導体層表面に形成した酸化膜中に打ち込まれる。その割合はプラズマ生成条件や基板のバイアス状態によって異なるものであるが、好適には非晶質構造を有する半導体層 1203 の表面近傍や該酸化膜中に打ち込まれる触媒元素の量を  $1 \times 10^{11} \sim 1 \times 10^{14}$  atoms/cm<sup>2</sup> 程度となるようにすると良い。

【0101】その後、触媒元素を含有する層 1204 を選択的に除去する。例えば、この層が Ni 膜で形成されている場合には、硝酸などの溶液で除去することが可能であり、または、フッ酸を含む水溶液で処理すれば Ni 膜と非晶質構造を有する半導体層 1203 上に形成した酸化膜を同時に除去できる。いずれにしても、非晶質構造を有する半導体層 1203 の表面近傍における触媒元素の量を  $1 \times 10^{11} \sim 1 \times 10^{14}$  atoms/cm<sup>2</sup> 程度となるようにしておく。そして、図 9 (B) で示すように、図 8 (B) と同様にして熱アニールによる結晶化の工程を行い、結晶質半導体層 1205 を得ることができる (図 8 (C))。

【0102】図 8 または図 9 で作製された結晶質半導体層 1105、1205 から島状半導体層 104~108 を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ( $1 \times 10^{11} \sim 1 \times 10^{14}$  atoms/cm<sup>2</sup> 程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【0103】この目的におけるリン (P) によるゲッタリング処理は、図 3 (B) で説明した活性化工程で同時に行うことができる。この様子を図 10 で説明する。図 10 (A) は実施例 1 の図 2 (D) の工程と同一であり、図 10 (B) は実施例 1 の図 3 (A) の工程と同一であるので詳細な説明は省略する。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 10 (C) で示す矢印の方向)。その結果、その不純物領域には 1

$\times 10^{11} \sim 1 \times 10^{14}$  atoms/cm<sup>2</sup> 程度の触媒元素が偏析した。

【0104】次いで、実施例 1 と同様に第 1 の層間絶縁膜を形成する。(図 10 (D))

【0105】以降の工程は実施例 1 に従えば、アクティブマトリクス基板が得られる。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

10 【0106】【実施例 5】本実施例では、実施例 4 とは異なる工程順序によりアクティブマトリクス基板を得る例を示す。

【0107】まず、実施例 1 及び実施例 4 に従い、図 10 (A) の状態を得る。(図 11 (A)) 図 10 (A) と同一工程であるので同じ符号を用いた。

20 【0108】次いで、レジストマスクを除去した後、500~600℃、1~10 時間の熱処理を行う。この熱処理により n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 11 (B) で示す矢印の方向)。ゲッタリング処理を行うと同時に不純物元素の活性化を行う。この段階 (ボロン元素を添加する前) でゲッタリング処理を行うと効果的である。

【0109】次いで、レジストマスク 701、702、703 を形成し、ボロン元素を添加する。(図 11 (C)) その後、ボロンを活性化するための熱処理を行った後、第 1 の層間絶縁膜 704 を形成する。(図 11 (D))

30 【0110】以降の工程は実施例 1 に従えば、アクティブマトリクス基板が得られる。また、本実施例は実施例 1 乃至 5 のいずれとも自由に組み合わせることが可能である。

【0111】【実施例 6】本実施例では、実施例 4 とは異なる工程順序によりアクティブマトリクス基板を得る例を示す。

【0112】まず、実施例 1 及び実施例 4 に従い、図 10 (A) の状態を経た後、図 10 (B) の状態を得る。図 12 (A) 及び図 12 (B) に相当する。図 10 (A) 及び図 10 (B) と同一工程であるので同じ符号を用いた。

【0113】次いで、第 1 の層間絶縁膜 801 を形成する。(図 12 (C))

【0114】次いで、500~600℃、1~10 時間の熱処理を行う。この熱処理により n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 12 (D) で示す矢印の方向)。ゲッタリング処理を行うと同時に不純物元素の活性化を行う。

【0115】以降の工程は実施例1に従えば、アクティブマトリクス基板が得られる。また、本実施例は実施例1乃至5のいずれとも自由に組み合わせることが可能である。

【0116】〔実施例7〕本実施例では、実施例1により得られるアクティブマトリクス型液晶表示装置の構成を図13及び図14を用いて以下に説明する。

【0117】図13はこのようなアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。実施例1で述べたガラス基板101上に画素部604の周辺に駆動回路として走査信号駆動回路605と画像信号駆動回路606が設けられている。さらに、その他CPUやメモリなどの信号処理回路607も付加されていても良い。そして、これらの駆動回路は接続配線603によって外部入出力端子602と接続されている。画素部604では走査信号駆動回路605から延在するゲート配線群608と画像信号駆動回路606から延在するソース配線群609がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素TFT204と保持容量205が設けられている。

【0118】図4中の画素部において設けた柱状スペーサ406は、すべての画素に対して設けても良いが、図13で示すようにマトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は20～100%とすることが可能である。また、駆動回路部に設けるスペーサ405a～405eはその全面を覆うように設けても良い。各TFTのソースおよびドレイン配線の位置にあわせて設けても良い。図13では駆動回路部に設けるスペーサの配置を610～612で示す。そして、図13で示すシール剤619は、基板101上の画素部604および走査信号駆動回路605、画像信号駆動回路606、その他の信号処理回路607の外側であって、外部入出力端子602よりも内側に形成する。

【0119】このようなアクティブマトリクス型液晶表示装置の構成を図14の斜視図を用いて説明する。図14においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部604と、走査信号駆動回路605と、画像信号駆動回路606とその他の信号処理回路607とで構成される。画素部604には画素TFT204と保持容量205が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路605と画像信号駆動回路606からは、それぞれゲート配線122とソース配線148が画素部604に延在し、画素TFT204に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit: FPC)613が外部入力端子602に接続していて画像信号などを入力するのに用いる。FPC613は補強樹脂614によって強固に接

着されている。そして接続配線603でそれぞれの駆動回路に接続している。また、対向基板401には図示していない、遮光膜や透明電極が設けられている。

【0120】このような構成の液晶表示装置は、実施例1～6で示したアクティブマトリクス基板を用いて形成することができる。実施例1で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例3で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

10 【0121】〔実施例8〕図15は実施例1～6で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。このアクティブマトリクス基板は、画像信号駆動回路606、走査信号駆動回路(A)(B)605、画素部604を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路606、走査信号駆動回路605を含めた総称である。

【0122】画像信号駆動回路606は、シフトレジスタ回路501a、レベルシフト回路502a、バッファ回路503a、サンプリング回路504を備えている。また、走査信号駆動回路(A)(B)185は、シフトレジスタ回路501b、レベルシフト回路502b、バッファ回路503bを備えている。

【0123】シフトレジスタ回路501a、501bは駆動電圧が5～16V(代表的には10V)であり、この回路を形成するCMOS回路のTFTは、図3(C)の第1のpチャネル型TFT(A)200aと第1のnチャネル型TFT(A)201aで形成する。また、レベルシフト回路502a、502bやバッファ回路503a、503bは駆動電圧が14～16Vと高くなるのでマルチゲートのTFT構造とすることが望ましい。マルチゲート構造でTFTを形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0124】サンプリング回路504はアナログスイッチから成り、駆動電圧が14～16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図3(C)で示す第2のpチャネル型TFT(A)202aと第2のnチャネル型TFT(A)203aで形成することが望ましい。

40 【0125】また、画素部は駆動電圧が14～16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、図3(C)で示す画素TFT204のようにマルチゲート構造を基本とする。

【0126】尚、本実施例の構成は、実施例1～6に示した工程に従ってTFTを作製することによって容易に実現することができる。本実施例では、画素部と駆動回路の構成のみを示しているが、実施例1～6の工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、 $\gamma$ 補正回路、オペアンプ回路、さらにメモリ回

路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素部とその駆動回路とを含む半導体装置、例えば信号制御回路および画素部を具備した液晶表示装置を実現することができる。

【0127】〔実施例9〕本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示装置として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、ナビゲーションシステムなどが上げられる。

【0128】図19（A）はパーソナルコンピュータであり、マイクロプロセッサやメモリなどを備えた本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本発明は表示装置2003やその他の信号処理回路を形成することができる。

【0129】図19（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明は表示装置2102やその他の信号制御回路に適用することができる。

【0130】図19（C）はテレビであり、本体2301、コントローラ2303、本体2301に組み込まれた表示装置2302で構成される。また、本体2301とコントローラ2303と表示装置2302とは、相互に信号を伝達するために有線通信としても良いし、センサ部2304を設けて無線通信または光通信としても良い。本発明は、表示装置2302に適用することができる。

【0131】図19（D）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示装置2402、スピーカー部2403、記録媒体2404、操作スイッチ2405で構成される。尚、記録媒体にはDVD（Digital Versatile Disc）やコンパクトディスク（CD）などを用い、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明は表示装置2402やその他の信号制御回路に好適に利用することができる。

【0132】図19（E）はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部（図示しない）で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0133】図20（A）はフロント型プロジェクターであり、光源光学系および表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の

信号制御回路に適用することができる。図20（B）はリア型プロジェクターであり、本体2701、光源光学系および表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0134】なお、図20（C）に、図20（A）および図20（B）における光源光学系および表示装置2601、2702の構造の一例を示す。光源光学系および表示装置2601、2702は光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、ビームスプリッター2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は複数の光学レンズで構成される。図20（C）では液晶表示装置2808を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図20（C）中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IRフィルムなどを設けても良い。また、図20（D）は図20（C）における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801はリフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。尚、図20（D）に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0135】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～5の技術を用いて実現することができる。

【0136】

【発明の効果】本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求する仕様に応じて適切な性能のTFTを配置することが可能となり、その動作特性を大幅に向上させることができる。

【0137】本発明の半導体装置の作製方法に従えば、LDD構造を備えた駆動回路部のpチャネル型TFT、nチャネル型TFTおよび画素TFTが形成されたアクティブマトリクス基板を5枚のフォトリソで製造することができる。このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば透過型の液晶表示装置を6枚のフォトリソで製造することができる。

【0138】本発明の半導体装置の作製方法に従えば、ゲート電極を耐熱性導電性材料で形成し、ゲート配線を

低抵抗導電性材料で形成したTFTにおいて、駆動回路部のpチャネル型TFT、nチャネル型TFTおよび画素TFTをゲート電極と重なるLDD構造としたアクティブマトリクス基板を6枚のフォトマスクで製造することができ、このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば、透過型の液晶表示装置を7枚のフォトマスクで製造することができる。

【図面の簡単な説明】

【図1】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図2】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図3】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図4】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図5】 nチャネル型TFTのLDD領域の構造を説明する図。

【図6】 画素TFTの構成を示す断面図。

【図7】 画素部の画素を示す上面図。

【図8】 結晶質半導体層の作製工程を示す断面図。

【図9】 結晶質半導体層の作製工程を示す断面図。

【図10】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図12】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図13】 液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。

【図14】 液晶表示装置の構造を示す斜視図。

【図15】 液晶表示装置の回路構成を説明するブロック図。

【図16】 LDD領域の構成を説明する図。

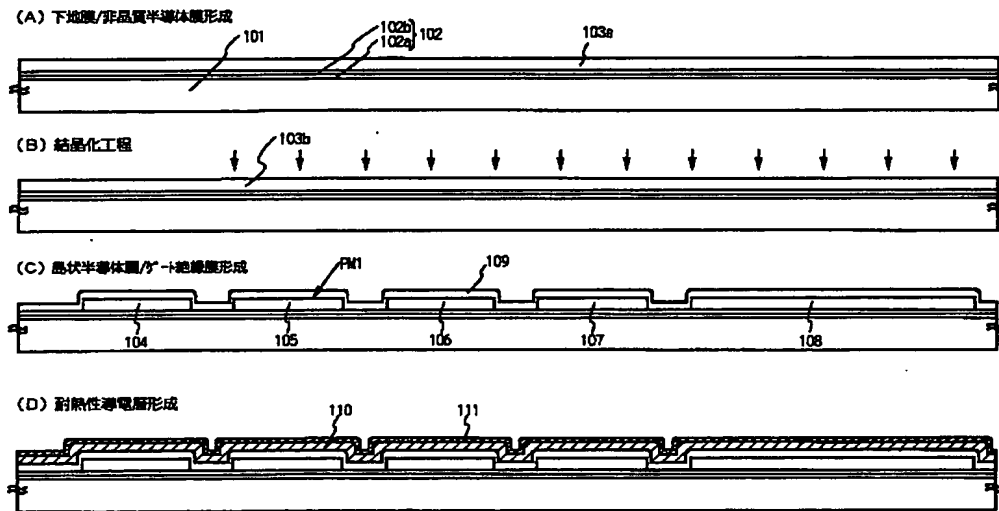
【図17】 ICPの原理を説明する図。

【図18】 パターン形成したW膜の端部におけるテーパ部の角度とエッチング条件の関係を示すグラフ。

【図19】 半導体装置の一例を示す図。

【図20】 投影型液晶表示装置の構成を示す図。

【図1】



[illegible]

(A) p<sub>n</sub>-type TFT array substrate

(B) First layer of insulation and activation

(C) Second layer of insulation, contact holes, alignment marks, and alignment marks

(D) Final structure

Labels in (A): 137, 138, 139, 140a, 140b, 140c

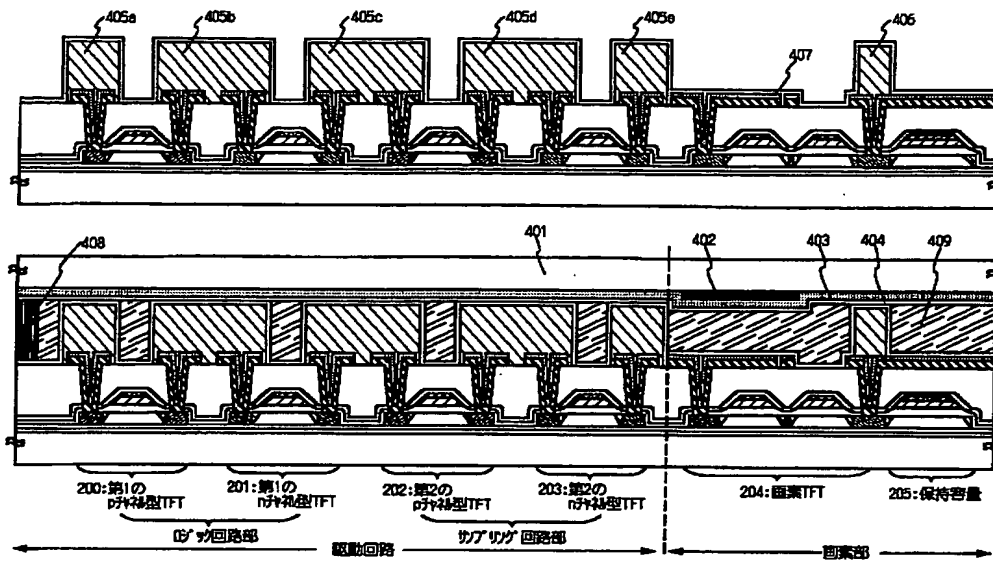
Labels in (B): 142

Labels in (C): 143, 144a, 144b, 144c, 149b, 150a, 150b, 145a, 145b, 146a, 146b, 151a, 151b, 152a, 152b, PM, 147a, 147b, 148a, 148b, 154a, 154b, PM, 153a, 153b, 206, 210, 214, 218, 220, 230, 222a, 222b, 228, 208, 207, 209, 213, 211, 212, 216, 215, 217, 221, 219, 220, 223a, 223b, 227, 229

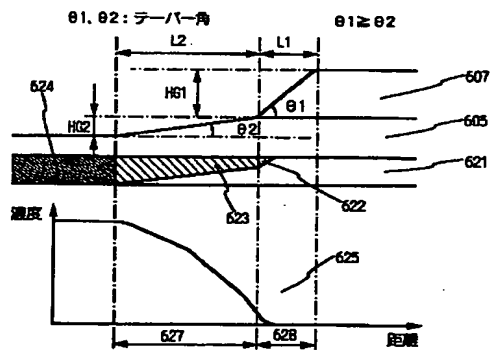
Labels in (D): 200a: 1st p<sub>n</sub>-type TFT (A), 201a: 1st n<sub>p</sub>-type TFT (A), 202a: 2nd p<sub>n</sub>-type TFT (A), 203a: 2nd n<sub>p</sub>-type TFT (A), 204: 2nd TFT, 205: 2nd TFT

Labels in (E): 16: p<sub>n</sub>-type TFT array, 17: data line, 18: alignment mark, 19: alignment mark

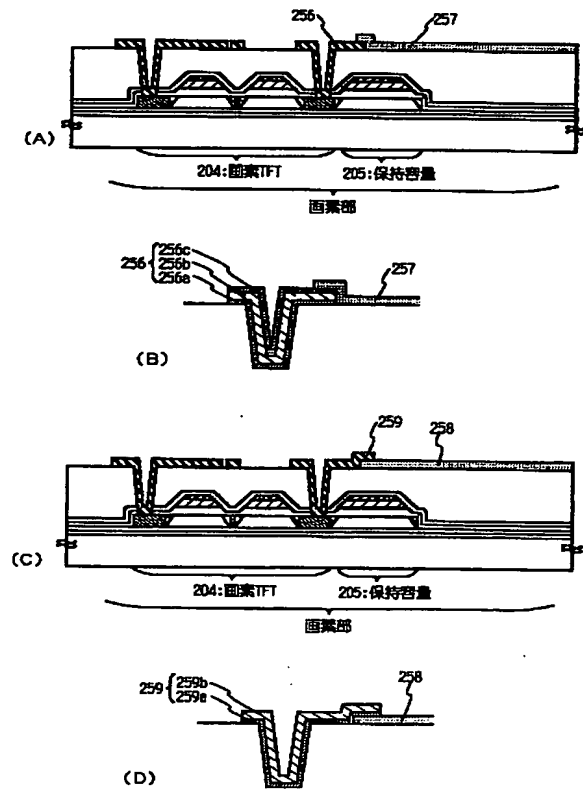
【図 4】



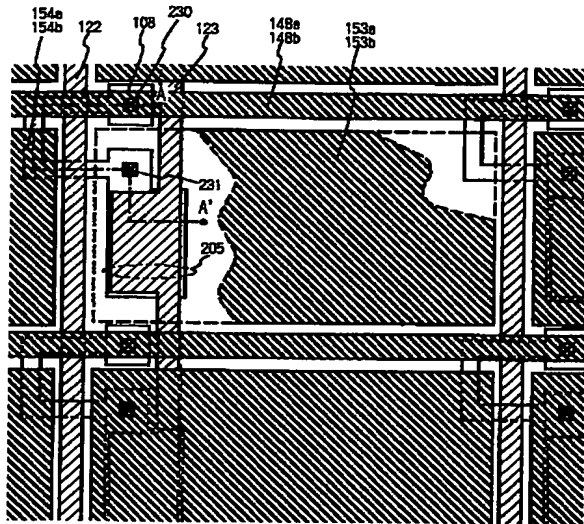
【図 5】



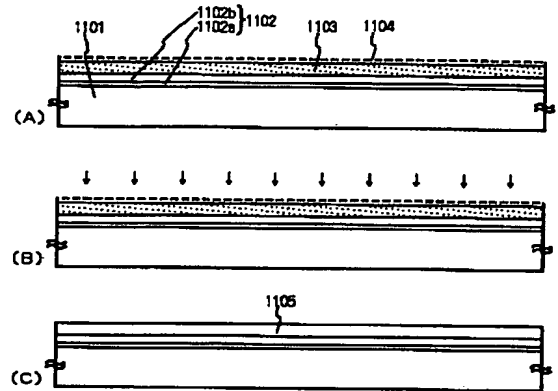
【図 6】



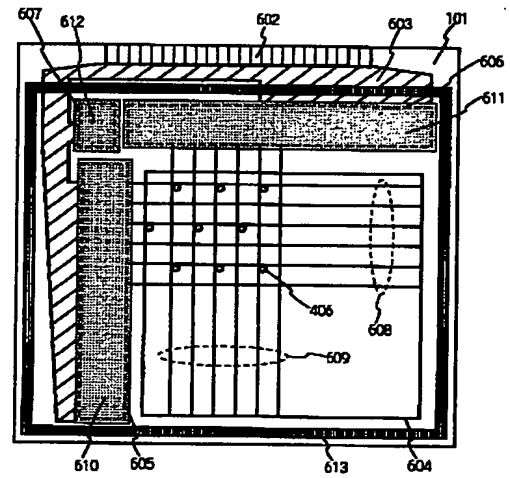
【図 7】



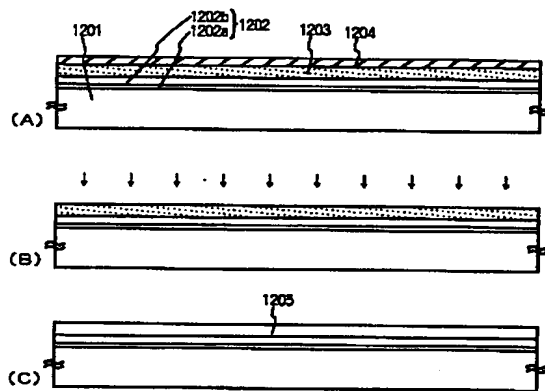
【図 8】



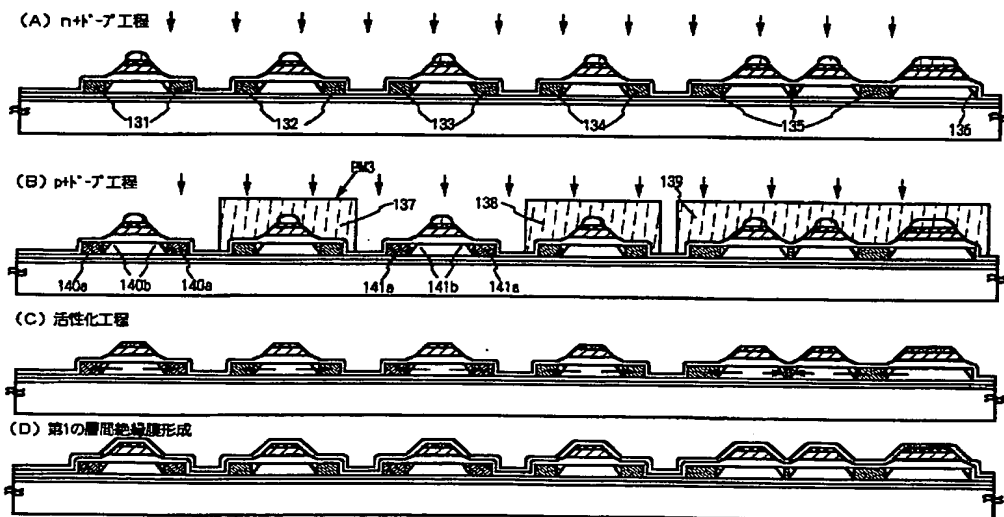
【図 13】



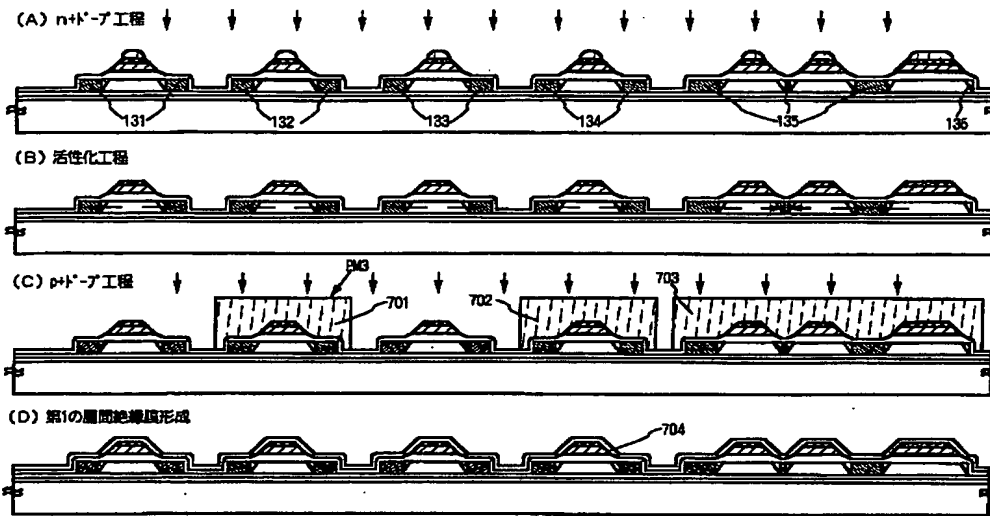
【図 9】



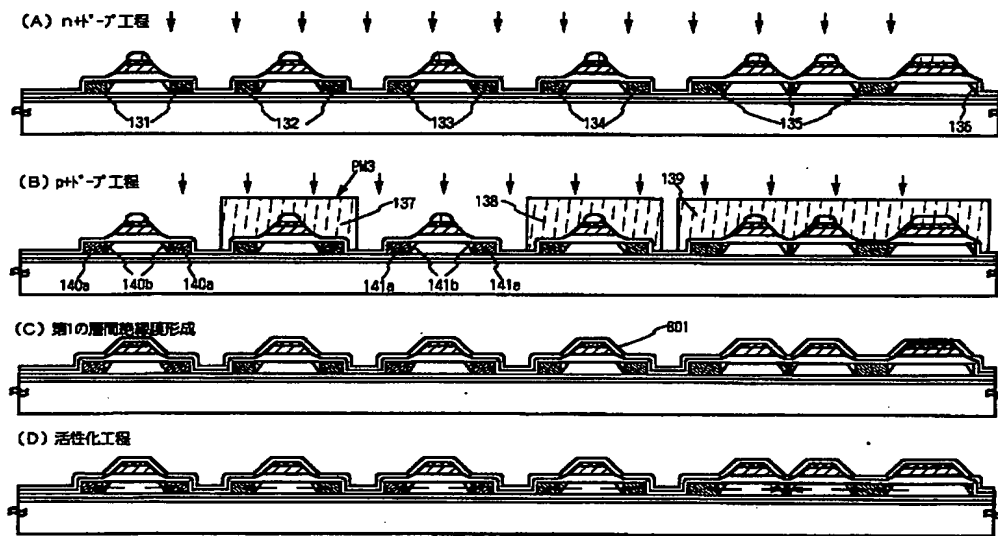
【図 10】



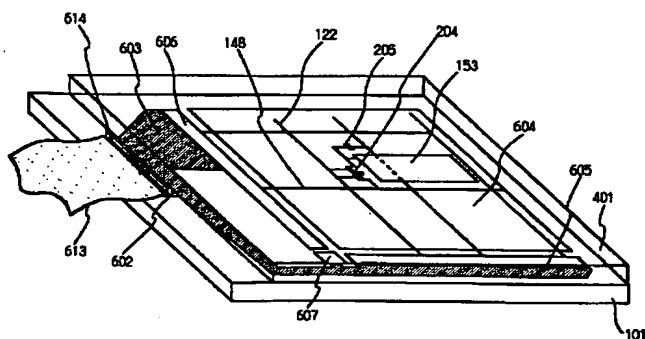
【図 11】



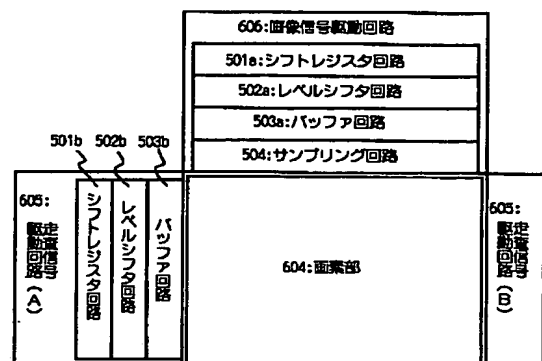
【図 12】



【図 14】

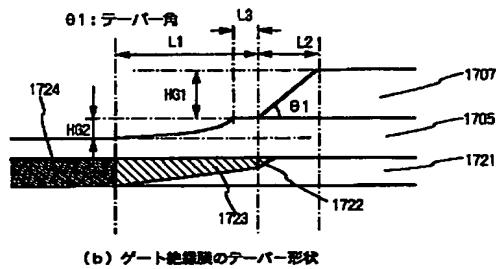
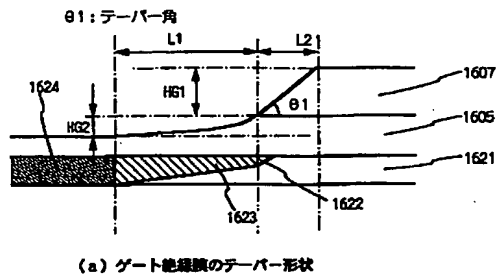


【図 15】

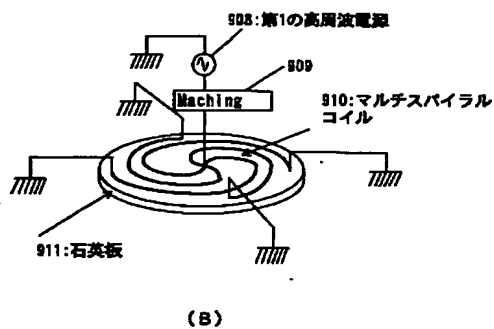
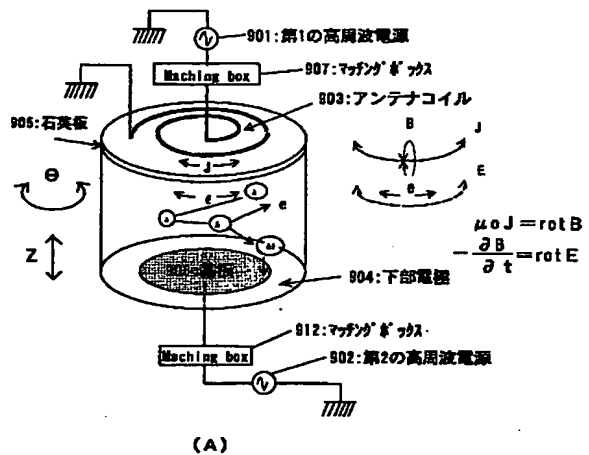




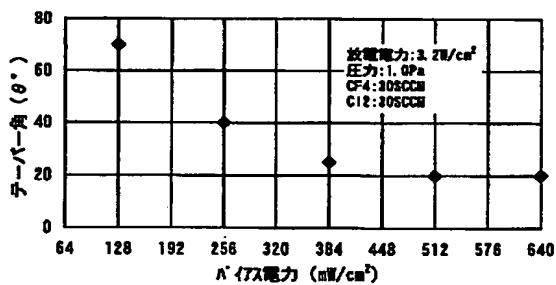
【図 16】



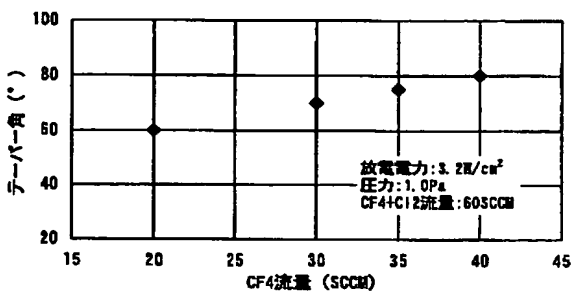
【図 17】



【図 18】

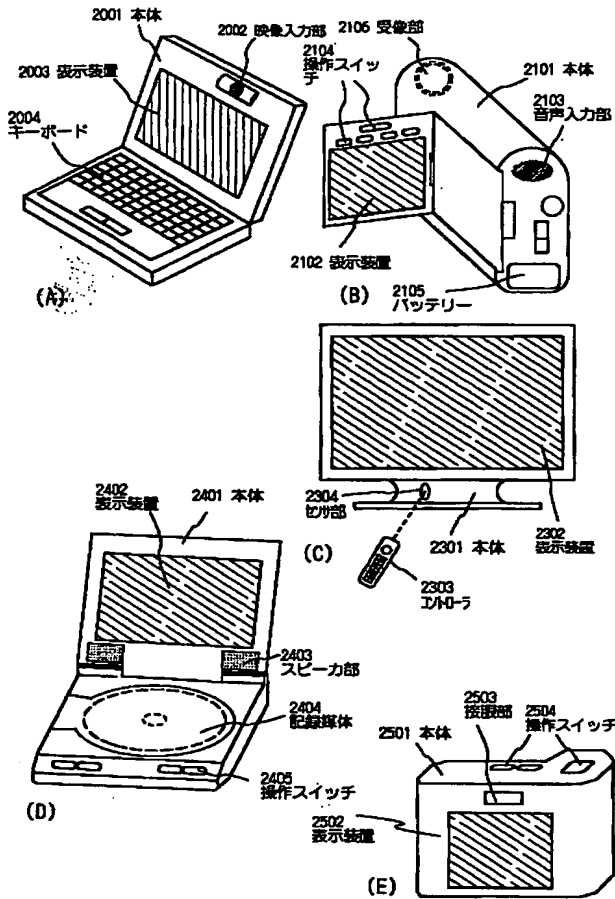


(A) テーパ角のRF依存性

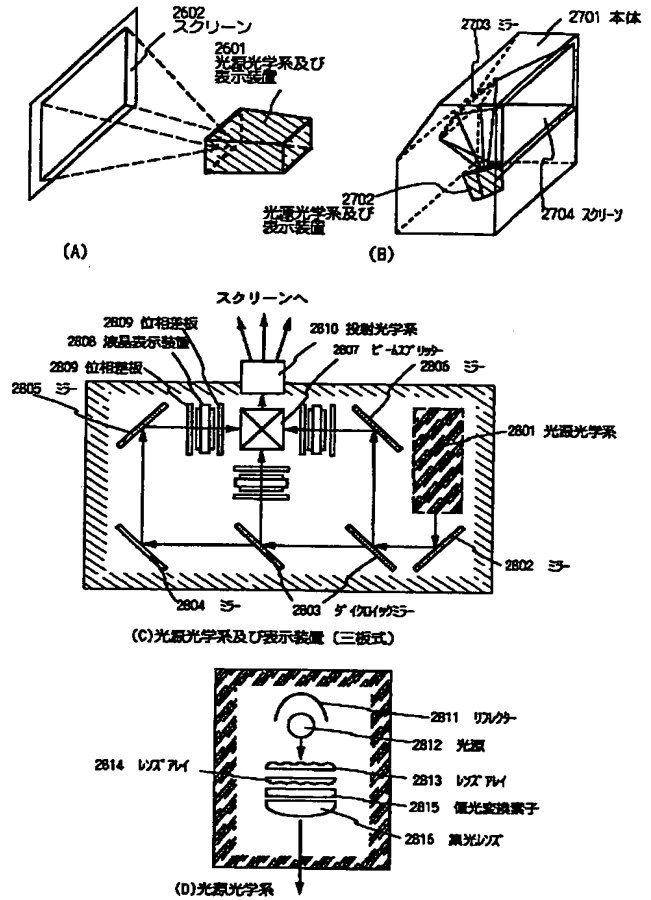


(B) テーパ角のCF4流量依存性

【図 19】



【図 20】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

6 1 7 K

6 1 7 L

6 1 7 T

(72) 発明者 山形 裕和

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

Fターム(参考) 2H092 GA13 GA50 GA51 HA06 HA28  
JA24 JA31 JA34 JA37 JA41  
KA10 KB25 MA04 MA05 MA08  
MA09 MA17 MA27 MA29 MA30  
NA27 NA29 PA01 PA03 PA06  
RA05  
5C094 AA13 AA22 AA25 AA42 AA43  
AA44 AA48 AA53 BA03 BA43  
CA19 DA13 EA04 EA05 EA10  
EB02 EB04 EC03 FA01 FA02  
FB01 FB02 FB12 FB14 FB15  
GB10 JA08 JA09 JA20  
5F110 AA09 AA16 AA30 BB02 BB10  
CC02 DD01 DD02 DD13 DD14  
DD15 DD17 EE01 EE04 EE05  
EE06 EE14 EE15 EE23 EE44  
FF02 FF04 FF09 FF12 FF28  
FF30 GG02 GG13 GG32 GG34  
GG43 GG45 GG52 GG55 HJ01  
HJ04 HJ13 HJ23 HK05 HL03  
HL04 HL06 HL07 HL11 HL12  
HL23 HM15 NN02 NN03 NN12  
NN23 NN24 NN27 NN35 NN36  
PP02 PP03 PP10 PP34 PP35  
QQ04 QQ09 QQ24 QQ25